

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-348466

(43) Date of publication of application : 22.12.1994

(51)Int.Cl.

G06F 9/06  
H03H 17/02

(21)Application number : 05-135615

(71)Applicant : TOSHIBA CORP  
TOSHIBA AVE CORP

(22)Date of filing : 07.06.1993

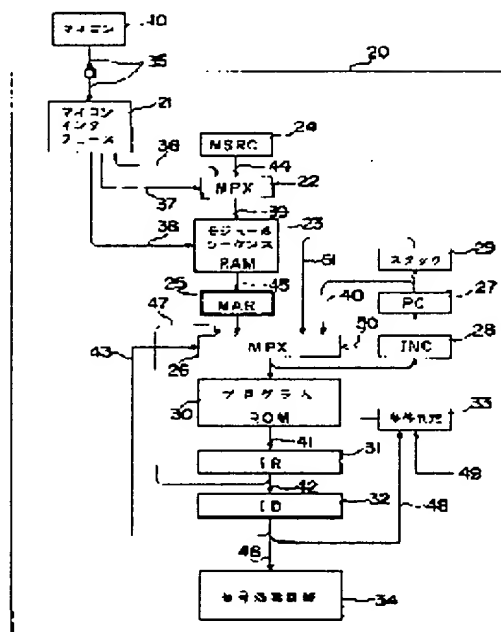
(72)Inventor : KONDO ATSUSHI  
SAKAI NOBUYUKI

(54) DIGITAL SIGNAL PROCESSOR

(57)Abstract:

**PURPOSE:** To provide a digital signal processor capable of drastically reducing the load of user's program development, reducing the load of a microcomputer, unnecessitating an external memory device, and drastically reducing total cost.

CONSTITUTION: The digital signal processor is provided with a program ROM 30 for storing plural module programs for digital signal processing, the microcomputer 10 for outputting start address data corresponding to a necessary module program out of the plural module programs stored in the ROM 30, a module sequence RAM 23 for storing start address data, and a means for controlling the successive reading of module programs corresponding to the start address data stored in the RAM 23 from the ROM 30.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

(43)公開日 平成6年(1994)12月22日

### 技術表示箇所

K 7037-5 J

審査請求 未請求 請求項の数 3 O L (全 10 頁)

## 【特許請求の範囲】

【請求項1】 デジタル信号処理用の複数のモジュールプログラムを格納するモジュールプログラム格納手段と、

上記モジュールプログラム格納手段に格納された複数のモジュールプログラムのうち必要なモジュールプログラムに対応したスタートアドレスデータを出力するスタートアドレスデータ出力手段と、

上記スタートアドレスデータを記憶するデータの書き換えが可能なデータ記憶手段と、

上記データ記憶手段に記憶されたスタートアドレスデータに対応したモジュールプログラムを上記モジュールプログラム格納手段から順次読み出す制御を行うモジュールプログラム読み出し制御手段とを具備したことを特徴とするオーディオ機器のデジタル信号処理装置。

【請求項2】 それぞれプログラムの最終アドレスにリターン命令が制御コードとして記述されたデジタル信号処理用の複数のモジュールプログラムを格納するモジュールプログラム格納手段と、

上記モジュールプログラム格納手段に格納された複数のモジュールプログラムのうち必要なモジュールプログラムに対応したスタートアドレスデータを出力するスタートアドレスデータ出力手段と、

上記スタートアドレスデータを記憶するデータの書き換えが可能なデータ記憶手段と、

上記データ記憶手段に記憶されたスタートアドレスデータが供給され、上記モジュールプログラム格納手段をこのスタートアドレスデータに対応したアドレスからアドレス指定するアドレス指定手段と、

上記アドレス指定手段によりアドレス指定され、上記モジュールプログラム格納手段の対応するアドレスから読み出された命令コードを解読する命令コード解読手段と、

上記アドレス指定手段に対して上記データ記憶手段に記憶された先頭のスタートアドレスデータを供給すると共に、上記命令コード解読手段で解読された制御コードが上記リターン命令である場合には上記データ記憶手段に記憶された次のスタートアドレスデータを上記アドレス指定手段に供給制御する手段とを具備したことを特徴とするオーディオ機器のデジタル信号処理装置。

【請求項3】 デジタル信号処理用の複数のモジュールプログラムを格納するモジュールプログラム格納手段と、

上記モジュールプログラム格納手段に格納された複数のモジュールプログラムのうち必要なモジュールプログラムに対応したスタートアドレスデータを記憶するデータの書き換えが可能なデータ記憶手段と、

上記データ記憶手段に記憶されたスタートアドレスデータに対応したモジュールプログラムを上記モジュールプログラム格納手段から順次読み出す制御を行うモジュール

プログラム読み出し制御手段とを具備したことを特徴とするオーディオ機器のデジタル信号処理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明はオーディオ機器に使用されるデジタル信号処理装置に係り、特にそのシーケンス制御回路に関する。

## 【0002】

【従来の技術】 最近のオーディオ機器ではデジタル操作によって信号処理を行うものが多くなってきている。これらのデジタル信号処理として例えば、AVアンプやミニコンボなどの家庭用オーディオ機器、スタジオ調整卓などの業務用オーディオ機器、車載用オーディオ機器におけるコンサートホール音場の再生/シミュレートを行う音場制御処理、イコライザなどのフィルタリング処理、コンプレッサ/エキスパンダといったダイナミック信号処理、これらの総合的な信号処理ともいえるプロロジックサラウンドデコード処理、カラオケなどによく使用しているキーコントロール（ピッチシフト）処理やマイクエコー処理などが知られている。また、これらの各種デジタル信号処理は、それ専用の信号処理プログラムに基づいて行われる。

【0003】 上記各種オーディオ機器で行われる信号処理は、前記の信号処理プログラムを複数組み合わせたプログラムが大半である。例えば、音場制御処理+イコライザ処理、コンプレッサ処理+音場制御処理、プロロジックサラウンドデコード処理+音場制御処理+イコライザ処理、キーコントロール処理+マイクエコー処理+音場制御処理+イコライザ処理などの組み合わせがある。また、AVアンプやミニコンボなどのオーディオ機器では前記の複数組み合わせた信号処理を複数モード持った仕様になっている。

【0004】 図6は従来のデジタル信号処理装置の構成を示すブロック図である。図において、81は制御用のCPU、例えばマイクロコンピュータ（以下、マイコンと称する）、82は各種信号処理プログラムを記憶しているマスクROMや不揮発性メモリ（EPROM）などからなる外部メモリ装置であり、83はデジタル信号処理装置本体である。

【0005】 上記デジタル信号処理装置本体83内には、上記マイコン81との間でデータの授受を行うマイコンインターフェース回路84、マルチプレクサ（以下、MPXと称する）85、プログラムカウンタ（同PC）86、インクリメンタ（同INC）87、スタック88、プログラムRAM89、インストラクションレジスタ（同IR）90、インストラクションデコーダ（同ID）91、条件判定回路92、信号処理回路93などが設けられている。

【0006】 このような構成の装置において、信号処理プログラムの実行は、外部メモリ装置82に記憶されている複数の信号処理プログラムの中から必要なものを選択

し、マイコン81を経由してデジタル信号処理装置本体83内のプログラムRAM89に書き込み、書き込み終了後にこのプログラムRAM89から信号処理プログラムを順次読み出し、ID91で制御信号を生成して信号処理回路93に供給することにより行われている。

【0007】上記信号処理プログラムの書き込みは次のような手順で行われる。マイコン81はプログラムRAM書き込みアドレスとプログラムデータをデジタル信号処理装置本体83にマイコン送信データ94として送信する。この送信データ94を受け取ったマイコンインターフェース回路84はMPX85にプログラムRAMアドレス95と書き込みアドレス選択信号96を与え、プログラムRAM89にプログラムデータ97を与える。書き込みアドレス選択信号96を受け取ったMPX85はプログラムRAM89にプログラムRAMアドレス95を与え、これによって指定されたアドレスにプログラムデータ97が書き込まれる。以降、マイコン81はプログラムRAM89に必要なプログラムが全て書き終わるまでこの手順を繰り返す。

【0008】上記信号処理プログラムの実行は次のような手順で行われる。予めクリア状態にされたPC86のプログラムカウンタ出力98がMPX85を介してプログラムRAM89に与えられ、これによって指定されたアドレスのRAM出力99がIR90を経由してID91にインストラクションデータ100として与えられる。そして、ID91で制御信号101が生成され、信号処理回路93に与えられる。

【0009】一方、MPX85から出力されたプログラムカウンタ出力98はINC87において+1され、再びPC86に与えられる。そして、プログラムRAM89からの読み出し後に、+1されたプログラムカウンタ出力98がMPX85を介してプログラムRAM89に与えられ、これによってプログラムRAM89の次アドレスが指定され、上記と同様にしてRAM出力99がIR90を経由してID91にインストラクションデータ100として与えられ、ID91で制御信号101が生成されて信号処理回路93に与えられる。以下、同様の手順でRAM出力99から制御信号101が順次生成されて信号処理回路93に与えられ、信号処理回路93でデジタル信号処理が行われる。

【0010】一方、プログラム実行中に分岐命令があれば、IR90から出力される分岐アドレス102がMPX85を経由してプログラムRAM89に与えられる。このとき、分岐命令の直前のプログラムカウンタ出力98がスタック88にリターンアドレスとして保持される。その後、ID91から条件選択信号103が条件判定回路92に与えられ、さらにステータスデータ104が条件判定回路92に与えられた結果、分岐リターン条件が揃うと、分岐リターンアドレス選択信号105がMPX85に与えられ、その後、予めスタック88で保持されているリターンアドレス106がMPX85を経由してプログラムRAM89に与えられ、元の分岐前のプログラムに戻る。

【0011】上記従来装置において、信号処理プログラムの切り換えは、新たな信号処理プログラムをマイコン81を経由して外部メモリ装置82からプログラムRAM89に書き換えることによって行われる。例えば、先の種々の信号処理を行うためには、プログラムRAM89に音場制御処理、イコライザ処理、コンプレッサ処理、エキスパンダ処理、プロロジックサラウンドデコード処理、キーコントロール処理、マイクエコー処理などのプログラムを任意の組み合わせでその都度書き込まなければなら

ない。

【0012】一般に、マイコンにはROMが内蔵されているが、前記信号処理プログラムを全て書き込んでおく容量がない。このため、上記のように外部メモリ装置を用意し、ここに必要とする全ての信号処理プログラムを書き込んでおき、必要な時にこれを選択的に読み出して前記プログラムRAMに書き込むようにしている。

【0013】

【発明が解決しようとする課題】このように従来のデジタル信号処理装置では、必要な信号処理プログラムをプログラムRAMに書き込むためのマイコン制御用プログラムをその都度開発する必要があり、ユーザのプログラム開発負担が大きくなると共にマイコンの負担が非常に大きくなるばかりではなく、信号処理プログラムを記憶しておくための外部メモリ装置を必要とし、トータルコストが不利になるという欠点がある。

【0014】この発明は上記のような事情を考慮してなされたものであり、その目的は、ユーザのプログラム開発負担を大幅に削減すると共にマイコンの負担を軽減することができ、かつ外部メモリ装置を不要にしてトータルコストの大幅な削減を実現するオーディオ機器のデジタル信号処理装置を提供することにある。

【0015】

【課題を解決するための手段】この発明のオーディオ機器のデジタル信号処理装置は、デジタル信号処理用の複数のモジュールプログラムを格納するモジュールプログラム格納手段と、上記モジュールプログラム格納手段に格納された複数のモジュールプログラムのうち必要なモジュールプログラムに対応したスタートアドレスデータを出力するスタートアドレスデータ出力手段と、上記スタートアドレスデータを記憶するデータの書き替えが可能なデータ記憶手段と、上記データ記憶手段に記憶されたスタートアドレスデータに対応したモジュールプログラムを上記モジュールプログラム格納手段から順次読み出す制御を行うモジュールプログラム読み出し制御手段とを具備したことを特徴とする。

【0016】

【作用】モジュールプログラム格納手段に複数のモジュールプログラムを格納し、これら複数のモジュールプログラムのうち必要なモジュールプログラムに対応したスタートアドレスデータをスタートアドレスデータ出力手

段から出力させ、これらのスタートアドレスデータをデータの書き換えが可能なデータ記憶手段に記憶させる。そして、モジュールプログラム読み出し制御手段により、データ記憶手段に記憶されたスタートアドレスデータに対応したモジュールプログラムを上記モジュールプログラム格納手段から順次読み出すことにより、必要なモジュールプログラムの実行を行うことにより、ユーザのプログラム開発負担を大幅に削減することができる。

#### 【0017】

【実施例】以下、図面を参照してこの発明を実施例により説明する。図1はこの発明のデジタル信号処理装置の構成を示すブロック図である。図において、10は制御用のCPU、例えばマイコンであり、20はデジタル信号処理装置本体である。

【0018】上記デジタル信号処理装置本体20内には、マイコンインターフェース回路21、マルチプレクサ(MPX)22、モジュールシーケンスRAM23、モジュールシーケンスRAMカウンタ(以下、MSRCと称する)24、モジュールアドレスレジスタ(同MAR)25、マルチプレクサ(MPX)26、プログラムカウンタ(PC)27、インクリメンタ(INC)28、スタック29、プログラムROM30、インストラクションレジスタ(IR)31、インストラクションデコーダ(ID)32、条件判定回路33、信号処理回路34などが設けられている。

【0019】上記プログラムROM30には、前記のプロロジックサラウンドデコーダ処理、音場制御処理、イコライザ処理、コンプレッサ処理、エキスパンダ処理、キーコントロール処理、マイクエコー処理など必要と思われる全ての信号処理プログラムがROMデータとして予め格納されている。このプログラムROM30におけるデータの格納例を図2に示す。すなわち、先頭アドレスである0番地にはシーケンスリターン命令が格納されており、1番地ないしn番地には音場制御処理用のプログラムモジュールが、(m+1)番地ないしp番地にはイコライザ処理用のプログラムモジュールがそれぞれ格納され、以降のアドレスには図示しないが前記コンプレッサ処理、エキスパンダ処理、キーコントロール処理、マイクエコー処理などのプログラムモジュールが順次格納されている。

【0020】さらに、図3に示すように、上記各種プログラムモジュールのエンドアドレスには制御コードとしてリターン命令がそれぞれ記述されている。次に上記のように構成された装置の動作を説明する。なお、先に述べたように実際のデジタル信号処理では各種信号処理プログラム(プログラムモジュール)を複数組み合わせたプログラムを実行することが必要になっている。そこで、ここでは1つの仕様として、プロロジックサラウンドデコーダ処理、音場制御処理、イコライザ処理、コンプレッサ処理の順にモジュールプログラムを組み合わせた信号処理を実行する場合を考える。

【0021】まず、マイコン10は送信データ35として、最初のモジュールシーケンスRAM書き込みアドレスとプログラムROM30に予め格納されているプロロジックサラウンドデコーダ処理プログラムモジュールのスタートアドレスである書き込みモジュールアドレスデータをデジタル信号処理装置本体20に送信する。この送信データ35を受け取ったマイコンインターフェース回路21はMPX22に0番地のモジュールシーケンスRAM書き込みアドレス36と書き込みアドレス選択信号37を与え、モジュールシーケンスRAM23にはプロロジックサラウンドデコーダ処理プログラムモジュールのスタートアドレスである0番地の書き込みモジュールアドレスデータ38を与える。書き込みアドレス選択信号37を受け取ったMPX22はMPX出力39としてモジュールシーケンスRAM23にモジュールシーケンスRAM書き込みアドレスを与える。従って、この場合には図4に示すように、モジュールシーケンスRAM23の0番地にプロロジックサラウンドデコーダ処理プログラムモジュールのスタートアドレスデータが記憶される。

【0022】次にマイコン10は送信データ35として、次のモジュールシーケンスRAM書き込みアドレスとプログラムROM30に予め格納されている音場制御処理プログラムモジュールのスタートアドレスである書き込みモジュールアドレスデータとをデジタル信号処理装置本体20に送信する。この送信データ35を受け取ったマイコンインターフェース回路21はMPX22に1番地のモジュールシーケンスRAM書き込みアドレス36と書き込みアドレス選択信号37を与え、モジュールシーケンスRAM23には(n+1)番地の書き込みモジュールアドレスデータ38を与える。従って、この場合には図4に示すように、モジュールシーケンスRAM23の1番地に音場制御処理プログラムモジュールのスタートアドレスデータが記憶される。以下、同様の手順により、図4に示すように、モジュールシーケンスRAM23の2番地にイコライザ処理プログラムモジュールのスタートアドレスデータが記憶される。

【0023】次に上記モジュールシーケンスRAM23からのデータ読み出しが開始される。なお、MSRC24及びPC27それぞれの内容は、図示しないシステム同期信号のスタートエッジに同期して予め0にクリアされている。クリア状態にされたPC27のプログラムカウンタ出力40がMPX26を介してプログラムROM30に与えられ、これによってプログラムROM30の0番地がアドレス指定される。前記図2に示すように、この0番地のアドレスには予めリターン命令が記述されている。上記アドレス指定によりプログラムROM30から読み出されたリターン命令としてのROM出力41がIR31を経由してID32にインストラクションデータ42として与えられる。そして、ID32でこのインストラクションデータ41(リターン命令)がデコードされることによりモジュール

ルアドレス選択信号43が出力され、この信号43が入力することによりMPX26はMAR25の出力を選択する。

【0024】一方、モジュールシーケンスRAM23へのデータの書き込み後は、予めクリア状態にされたMSRC24の出力44がMPX22を介してモジュールシーケンスRAM23にMPX出力39として与えられる。このとき、モジュールシーケンスRAM23は図示しない制御信号によりデータ読み出しモードにされており、これによってモジュールシーケンスRAM23の0番地がアドレス指定され、このアドレスに予め記憶されているプロロジックサラウンドデコーダ処理プログラムモジュールのスタートアドレスデータが読み出され、これがモジュールシーケンスRAM出力45としてMAR25に一時的に保持される。

【0025】従って、上記MPX26でMAR25の出力が選択されると、これがプログラムROM30に与えられ、これによってプログラムROM30の1番地がアドレス指定される。前記図4に示すように、このアドレスには予めプロロジックサラウンドデコーダ処理プログラムモジュールが格納されており、その後、このプログラムモジュールの最初のステップがROM出力41として読み出され、IR31を経由してID32にインストラクションデータ42として与えられる。そして、ID32でこのインストラクションデータ41がデコードされることにより、プロロジックサラウンドデコーダ処理を実現するための制御信号46が生成されて信号処理回路34に与えられる。

【0026】一方、MPX26から出力されたMAR25からの出力はINC28において+1され、PC27に与えられる。そして、プログラムROM30からの読み出し後に、+1されたプログラムカウンタ出力40がMPX26を介してプログラムROM30に与えられ、これによってプログラムROM30の次アドレスが指定され、その後は上記と同様にID32で制御信号46が生成されて信号処理回路34に与えられる。以下、同様の手順でROM出力41から制御信号46が順次生成されて信号処理回路34に与えられ、信号処理回路34でプロロジックサラウンドデコーダ処理が順次行われる。

【0027】一方、プログラム実行中に分岐命令があれば、IR31から出力される分岐アドレス47がMPX26を経由してプログラムROM30に与えられる。このとき、分岐命令の直前のプログラムカウンタの内容がスタック29にリターンアドレスとして保持される。その後、ID32から条件選択信号48が条件判定回路33に与えられ、さらにステータスデータ49が条件判定回路33に与えられた結果、分岐リターン条件が揃うと、分岐リターンアドレス選択信号50がMPX26に与えられ、予めスタック29で保持されているリターンアドレス51がプログラムROM30に与えられ、元の分岐前のプログラム実行に戻る。

【0028】一方、このプロロジックサラウンドデコーダ処理プログラムの実行中にMSRC24の内容が+1さ

れ、MAR25にはモジュールシーケンスRAM23の1番地に記憶されている音場制御処理プログラムモジュールのスタートアドレスが保持される。

【0029】そして、上記プロロジックサラウンドデコーダ処理プログラムモジュールの実行が進み、エンドアドレスからのデータが読み出される。このデータは前記図3に示すようにリターン命令であるため、ID32からは再びモジュールアドレス選択信号43が出力され、この信号43が入力することによりMPX26はMAR25の出力を選択する。このとき、MAR25から出力されるアドレスは2番地であり、このアドレスから始まる領域には予め音場制御処理プログラムモジュールが格納されており、このプログラムモジュールの最初のステップがROM出力41として読み出され、これ以降は上記プロロジックサラウンドデコーダ処理プログラムモジュール実行の場合と同様に音場制御処理プログラムモジュールが実行される。また、この音場制御処理プログラムモジュールの実行後は上記と同様にその次のイコライザ処理プログラムモジュールの実行が行われる。このようにして、モジュールシーケンスRAM23に記憶された組み合わせで複数の信号処理が連続して行われる。

【0030】上記のように、この実施例装置では、モジュールシーケンスRAM23に対し、組み合わせた処理プログラムモジュールのスタートアドレスを0番地から処理する順番に書き込むだけで、容易に複数プログラムの組み合わせを実行させることができる。すなわち、モジュールシーケンスRAM23のデータを書き換えるだけで、プログラムの追加、外付け回路の追加なしで、容易に各種信号処理プログラム（モジュールプログラム）を複数組み合わせたプログラムを複数モード実行することができる。しかも、信号処理プログラムを記憶しておくための外部メモリ装置は不要であり、トータルコスト上、有利である。

【0031】さらに標準となるモジュールプログラムを複数、プログラムROM30に内蔵させることにより、ユーザのプログラム開発負担を大幅に削減できるといった優れた効果を得ることができる。また、上記実施例装置を組み込んだ回路基板（ハードウェア）は変更せずに、モジュールシーケンスRAM23に対するアドレスデータの書き込みプログラムを変更するだけで、ユーザの仕様を容易に変更することができる。

【0032】次に上記信号処理回路34の具体的な構成例を説明する。図5に示すように、信号処理回路34には、予めデジタル化され上記各種デジタル信号処理を施すための入力音声データが供給されるシリアルインレジスタ（以下、SIと称する）61、各種デジタル信号処理が施こされた後の音声データを出力するシリアルアウトレジスタ（以下、SOと称する）62、データを一時的に蓄えておくためのデータRAM63、係数データを蓄えておくための係数RAM64、データおしりの加算を実行

するアダー65、各種演算を実行するマルチプライヤ（同MPY）66、上記MPY66で演算される双方のデータを一時的に蓄えておくためのX、Yレジスタ（同X、Y）67、68、上記MPY66の出力を一時的に蓄えておくためのアキュムレータ（同ACC）69及び内部バス70などが設けられている。

【0033】このような構成でなる信号処理回路34において、上記SI61を介して入力された音声データはアダー65やMPY66で加算や各種演算が施されることによって前記各種信号処理が施され、1つの信号処理が施された音声データはデータRAM63に一時的に記憶された後に必要に応じて他の信号処理が施され、最終的にSO62を介して出力される。また、前記ID32で生成される制御信号46により図5中の各部分の動作が制御される。

#### 【0034】

【発明の効果】以上説明したようにこの発明によれば、ユーザのプログラム開発負担が大幅に削減できると共にマイコンの負担を軽減することができ、かつ外部メモリ装置を不要にしてトータルコストの大幅な削減を実現するオーディオ機器のデジタル信号処理装置を提供することができる。

#### 【図面の簡単な説明】

【図1】この発明のデジタル信号処理装置の構成を示

すブロック図。

【図2】図1中のプログラムROMのデータ格納状態を示す図。

【図3】プログラムROMに格納される各プログラムモジュールの構成例を示す図。

【図4】図1中のプログラムシーケンスRAMのデータ格納状態を示す図。

【図5】図1中の信号処理回路の具体的な構成例を示すブロック図。

【図6】従来のデジタル信号処理装置の構成を示すブロック図。

#### 【符号の説明】

10…マイコン、20…デジタル信号処理装置本体、21…マイコンインターフェース回路、22…MPX（マルチプレクサ）、23…モジュールシーケンスRAM、24…MSRC（モジュールシーケンスRAMカウンタ）、25…MAR（モジュールアドレスレジスタ）、26…MPX（マルチプレクサ）、27…PC（プログラムカウンタ）、28…INC（インクリメント）、29…スタック、30…プログラムROM、31…IR（インストラクションレジスタ）、32…ID（インストラクションデコーダ）、33…条件判定回路、34…信号処理回路。

【図2】

#### プログラム ROM

0 番地	シーケンスリターン 命令
1 番地	プロロジックサラウンドデコーダ処理 プログラムモジュール
n 番地	
(n+1) 番地	音理制御処理 プログラムモジュール
m 番地	
(m+1) 番地	イコライザ処理 プログラムモジュール
p 番地	
⋮	

【図3】

#### プログラムモジュール

スタート アドレス	
エンド アドレス	リターン 命令

マイコン 10

マイコンインターフェース 21

MSRC 24

MPX 22

モジュールシーケンス RAM 23

スタック 29

PC 27

INC 28

プログラム ROM 30

IR 31

ID 32

条件判定 33

信号処理回路 34

20

35

36

37

38

39

40

41

42

43

44

45

46

47

48

49

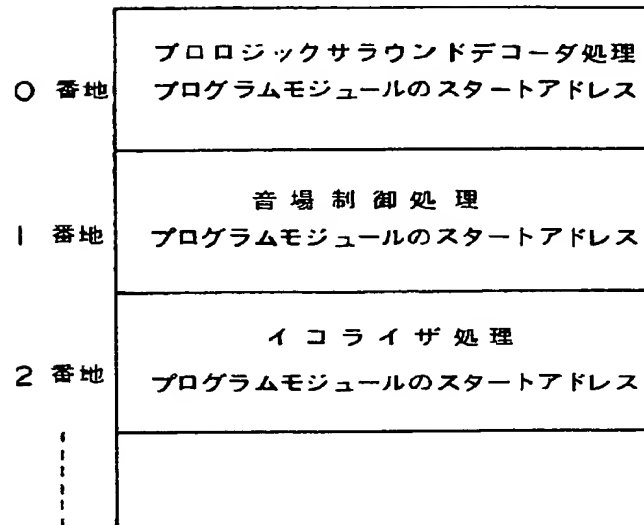
50

51

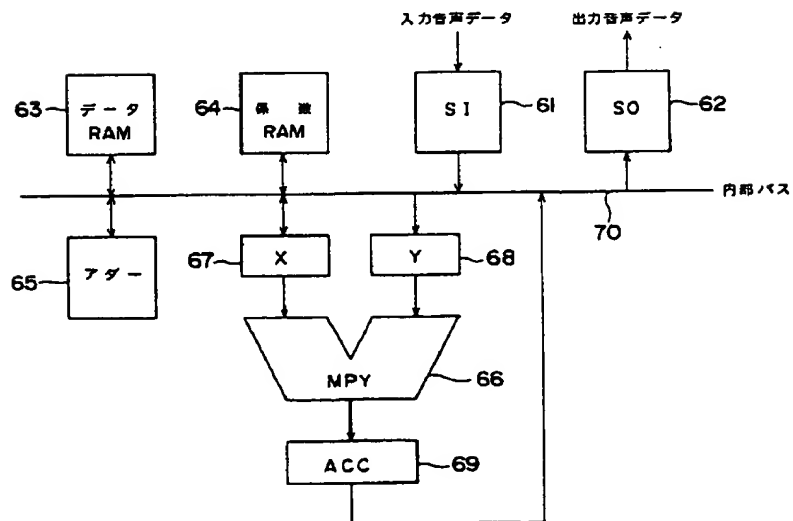


【図4】

## モジュールシーケンス RAM



【図5】





ルプログラムを格納するモジュールプログラム格納手段と、

上記モジュールプログラム格納手段に格納された複数のモジュールプログラムのうち必要なモジュールプログラムに対応したスタートアドレスデータを出力するスタートアドレスデータ出力手段と、

上記スタートアドレスデータを記憶するデータの書き換えが可能なデータ記憶手段と、

上記データ記憶手段に記憶されたスタートアドレスデータに対応したモジュールプログラムを上記モジュールプログラム格納手段から順次読み出す制御を行うモジュールプログラム読み出し制御手段とを具備したことを特徴とするデジタル信号処理装置。

【請求項 2】 それぞれプログラムの最終アドレスにリターン命令が制御コードとして記述されたデジタル信号処理用の複数のモジュールプログラムを格納するモジュールプログラム格納手段と、

上記モジュールプログラム格納手段に格納された複数のモジュールプログラムのうち必要なモジュールプログラムに対応したスタートアドレスデータを出力するスタートアドレスデータ出力手段と、

上記スタートアドレスデータを記憶するデータの書き換えが可能なデータ記憶手段と、

上記データ記憶手段に記憶されたスタートアドレスデータが供給され、上記モジュールプログラム格納手段をこのスタートアドレスデータに対応したアドレスからアドレス指定するアドレス指定手段と、

上記アドレス指定手段によりアドレス指定され、上記モジュールプログラム格納手段の対応するアドレスから読み出された命令コードを解読する命令コード解読手段と、

上記アドレス指定手段に対して上記データ記憶手段に記憶された先頭のスタートアドレスデータを供給すると共に、上記命令コード解読手段で解読された制御コードが上記リターン命令である場合には上記データ記憶手段に記憶された次のスタートアドレスデータを上記アドレス指定手段に供給制御する手段とを具備したことを特徴とするデジタル信号処理装置。

【請求項 3】 デジタル信号処理用の複数のモジュールプログラムを格納するモジュールプログラム格納手段と、

上記モジュールプログラム格納手段に格納された複数のモジュールプログラムのうち必要なモジュールプログラムに対応したスタートアドレスデータを記憶するデータの書き換えが可能なデータ記憶手段と、

上記データ記憶手段に記憶されたスタートアドレスデータに対応したモジュールプログラムを上記モジュールプログラム格納手段から順次読み出す制御を行うモジュールプログラム読み出し制御手段とを具備したことを特徴とするデジタル信号処理装置。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【産業上の利用分野】この発明はデジタル信号処理装置に係り、特にそのシーケンス制御回路に関する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】この発明は上記のような事情を考慮してなされたものであり、その目的は、ユーザのプログラム開発負担を大幅に削減すると共にマイコンの負担を軽減することができ、かつ外部メモリ装置を不要にしてトータルコストの大幅な削減を実現するデジタル信号処理装置を提供することにある。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】

【課題を解決するための手段】この発明のデジタル信号処理装置は、デジタル信号処理用の複数のモジュールプログラムを格納するモジュールプログラム格納手段と、上記モジュールプログラム格納手段に格納された複数のモジュールプログラムのうち必要なモジュールプログラムに対応したスタートアドレスデータを出力するスタートアドレスデータ出力手段と、上記スタートアドレスデータを記憶するデータの書き換えが可能なデータ記憶手段と、上記データ記憶手段に記憶されたスタートアドレスデータに対応したモジュールプログラムを上記モジュールプログラム格納手段から順次読み出す制御を行うモジュールプログラム読み出し制御手段とを具備したことを特徴とする。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正内容】

【0034】

【発明の効果】以上説明したようにこの発明によれば、ユーザのプログラム開発負担が大幅に削減できると共にマイコンの負担を軽減することができ、かつ外部メモリ装置を不要にしてトータルコストの大幅な削減を実現するデジタル信号処理装置を提供することができる。